

《数字调制解调技术的MATLAB与FP》

图书基本信息

书名：《数字调制解调技术的MATLAB与FPGA实现》

13位ISBN编号：9787121255820

出版时间：2015-3

作者：杜勇

页数：436

版权说明：本站所提供下载的PDF图书仅提供预览和简介以及在线试读，请支持正版图书。

更多资源请访问：www.tushu000.com

《数字调制解调技术的MATLAB与FP》

内容概要

本书以Altera公司的FPGA器件为开发平台，采用MATLAB及Verilog HDL语言为开发工具，详细阐述数字调制解调技术的FPGA实现原理、结构、方法和仿真测试过程，并通过大量工程实例分析FPGA实现过程中的具体技术细节。主要包括FPGA实现数字信号处理基础、ASK调制解调、PSK调制解调、FSK调制解调、QAM调制解调，以及扩频通信的设计与实现等内容。本书思路清晰、语言流畅、分析透彻，在简明阐述设计原理的基础上，追求对工程实践的指导性，力求使读者在较短的时间内掌握数字调制解调技术的FPGA设计知识和技能。本书的配套光盘收录了完整的MATLAB及Verilog HDL实例工程代码，有利于工程技术人员参考学习。

书籍目录

第1章 数字通信及FPGA概述

1

1.1 数字通信系统概述

2

1.1.1 数字通信的一般处理流程

2

1.1.2 本书讨论的通信系统模型

4

1.1.3 数字通信的特点及优势

5

1.1.4 数字通信的发展概述

8

1.2 数字通信中的几个基本概念

10

1.2.1 与频谱相关的概念

10

1.2.2 带宽是如何定义的

13

1.2.3 采样与频谱搬移

16

1.2.4 噪声与信噪比

19

1.3 FPGA的基础知识

21

1.3.1 从晶体管到FPGA

21

1.3.2 FPGA的发展趋势

25

1.3.3 FPGA的组成结构

26

1.3.4 FPGA的工作原理

31

1.4 FPGA与其他处理平台的比较

33

1.4.1 ASIC、DSP及ARM的特点

33

1.4.2 FPGA的特点及优势

34

1.5 Altera器件简介

35

1.6 小结

37

参考文献

37

第2章 设计语言及环境介绍

39

2.1 HDL语言简介

40	
2.1.1	HDL语言的特点及优势
40	
2.1.2	选择VHDL还是Verilog
41	
2.2	Verilog HDL语言基础
42	
2.2.1	Verilog HDL语言特点
42	
2.2.2	Verilog HDL程序结构
44	
2.3	FPGA开发工具及设计流程
45	
2.3.1	Quartus II开发套件
45	
2.3.2	ModelSim仿真软件
49	
2.3.3	FPGA设计流程
50	
2.4	MATLAB软件
53	
2.4.1	MATLAB软件简介
53	
2.4.2	常用的信号处理函数
55	
2.5	MATLAB与Quartus的数据交换
62	
2.6	小结
63	
	参考文献
63	
	第3章 FPGA实现数字信号处理基础
65	
3.1	FPGA中数的表示
66	
3.1.1	莱布尼兹与二进制
66	
3.1.2	定点数表示
67	
3.1.3	浮点数表示
68	
3.2	FPGA中数的运算
71	
3.2.1	加/减法运算
71	
3.2.2	乘法运算
74	
3.2.3	除法运算
75	

3.2.4 有效数据位的计算	75
3.3 有限字长效应	78
3.3.1 字长效应的产生因素	78
3.3.2 A/D转换的字长效应	79
3.3.3 系统运算中的字长效应	80
3.4 FPGA中的常用处理模块	82
3.4.1 加法器模块	82
3.4.2 乘法器模块	84
3.4.3 除法器模块	87
3.4.4 浮点运算模块	88
3.5 小结	89
参考文献	90
第4章 滤波器的MATLAB与FPGA实现	91
4.1 滤波器概述	92
4.1.1 滤波器的分类	92
4.1.2 滤波器的特征参数	94
4.2 FIR与IIR滤波器的原理	94
4.2.1 FIR滤波器原理	94
4.2.2 IIR滤波器原理	96
4.2.3 IIR与FIR滤波器的比较	96
4.3 FIR滤波器的MATLAB设计	97
4.3.1 采用fir1函数设计	97
4.3.2 采用kaiserord函数设计	100
4.3.3 采用fir2函数设计	100
4.3.4 采用firpm函数设计	

102
4.4 IIR滤波器的MATLAB设计
104
4.4.1 采用butter函数设计
104
4.4.2 采用cheby1函数设计
105
4.4.3 采用cheby2函数设计
106
4.4.4 采用ellip函数设计
106
4.4.5 采用yulewalk函数设计
107
4.4.6 几种设计函数的比较
107
4.5 FIR滤波器的FPGA实现
109
4.5.1 FIR滤波器的实现结构
109
4.5.2 采用IP核实现FIR滤波器
113
4.5.3 MATLAB仿真测试数据
118
4.5.4 测试激励的Verilog HDL设计
120
4.5.5 FPGA实现后的仿真测试
123
4.6 IIR滤波器的FPGA实现
125
4.6.1 IIR滤波器的结构形式
125
4.6.2 量化级联型结构的系数
127
4.6.3 级联型结构的FPGA实现
130
4.6.4 FPGA实现后的测试仿真
134
4.7 小结
135
参考文献
135
第5章 ASK调制解调技术的实现
137
5.1 ASK信号的调制解调原理
138
5.1.1 二进制振幅调制信号的产生
138
5.1.2 二进制振幅调制信号的解调
139

5.1.3 二进制振幅调制系统的性能	141
5.1.4 多进制振幅调制	142
5.2 ASK调制信号的MATLAB仿真	142
5.3 ASK调制信号的FPGA实现	145
5.3.1 FPGA实现模型及参数说明	145
5.3.2 ASK调制信号的Verilog HDL设计	147
5.3.3 FPGA实现后的仿真测试	149
5.4 ASK解调技术的MATLAB仿真	150
5.5 ASK解调技术的FPGA实现	152
5.5.1 FPGA实现模型及参数说明	152
5.5.2 ASK信号解调的Verilog HDL设计	153
5.5.3 FPGA实现后的仿真测试	154
5.6 符号判决门限的FPGA实现	156
5.6.1 确定ASK解调后的判决门限	156
5.6.2 判决门限模块的Verilog HDL设计	157
5.6.3 FPGA实现后的仿真测试	158
5.7 锁相环位同步技术的FPGA实现	159
5.7.1 位同步技术的工作原理	159
5.7.2 位同步顶层模块的Verilog HDL设计	162
5.7.3 双相时钟信号的Verilog HDL实现	164
5.7.4 微分鉴相模块的Verilog HDL实现	166
5.7.5 单稳触发器的Verilog HDL实现	168
5.7.6 控制及分频模块的Verilog HDL实现	169
5.7.7 FPGA实现及仿真测试	171
5.8 ASK解调系统的FPGA实现及仿真	

173	
5.8.1	完整解调系统的Verilog HDL设计
173	
5.8.2	完整系统的仿真测试
175	
5.9	小结
177	
	参考文献
177	
第6章	FSK调制解调技术的实现
179	
6.1	FSK信号的调制解调原理
180	
6.1.1	FSK信号的时域表示
180	
6.1.2	相关系数与频谱特性
181	
6.1.3	非相干解调原理
183	
6.1.4	相干解调原理
184	
6.1.5	解调方法的应用条件分析
186	
6.2	FSK调制解调的MATLAB仿真
186	
6.2.1	不同调制度的FSK信号仿真
186	
6.2.2	非相干解调FSK仿真
188	
6.2.3	相干解调FSK仿真
193	
6.3	FSK调制信号的FPGA实现
196	
6.3.1	FSK信号的产生方法
196	
6.3.2	FSK调制信号的Verilog HDL设计
197	
6.3.3	FPGA实现后的仿真测试
198	
6.4	FSK解调的FPGA实现
199	
6.4.1	解调模型及参数设计
199	
6.4.2	解调FSK信号的Verilog HDL设计
200	
6.4.3	FPGA实现后的仿真测试
206	
6.5	MSK信号产生原理
208	

6.5.1 MSK信号时域特征	208
6.5.2 MSK信号频谱特性	209
6.5.3 MSK信号的产生方法	210
6.6 MSK调制信号的FPGA实现	212
6.6.1 实例参数及模型设计	212
6.6.2 MSK调制信号的Verilog HDL设计及仿真	213
6.7 MSK解调原理	214
6.7.1 延迟差分解调	214
6.7.2 平方环相干解调	216
6.8 MSK解调的MATLAB仿真	217
6.8.1 仿真模型及参数说明	217
6.8.2 平方环解调MSK的MATLAB仿真	217
6.9 平方环的FPGA实现	220
6.9.1 锁相环的工作原理	220
6.9.2 平方环的工作原理	223
6.9.3 平方环路性能参数设计	224
6.9.4 平方环的Verilog HDL设计	227
6.9.5 FPGA实现后的仿真测试	231
6.10 MSK解调的FPGA实现	232
6.10.1 MSK解调环路参数设计	232
6.10.2 顶层模块的Verilog HDL设计	234
6.10.3 脉冲成形及解调模块的Verilog HDL设计	239
6.10.4 FPGA实现后的仿真测试	242
6.11 小结	243
参考文献	

244	
第7章 PSK调制解调技术的实现	
245	
7.1 DPSK信号的调制解调原理	
246	
7.1.1 DPSK信号的调制原理	
246	
7.1.2 Costas环解调DPSK信号	
247	
7.1.3 DPSK调制解调的MATLAB仿真	
249	
7.2 DPSK解调的FPGA实现	
252	
7.2.1 环路性能参数设计	
252	
7.2.2 Costas环的Verilog HDL设计	
254	
7.2.3 FPGA实现后的仿真测试	
258	
7.3 DQPSK信号的调制解调原理	
258	
7.3.1 QPSK信号的调制原理	
258	
7.3.2 双比特码元差分编解码原理	
260	
7.3.3 DQPSK信号解调原理	
261	
7.3.4 DQPSK调制解调的MATLAB仿真	
264	
7.4 DQPSK调制信号的FPGA实现	
268	
7.4.1 差分编/解码的Verilog HDL设计	
268	
7.4.2 DQPSK调制信号的Verilog HDL设计	
271	
7.5 DQPSK解调的FPGA实现	
277	
7.5.1 极性Costas环的Verilog HDL设计	
277	
7.5.2 FPGA实现后的仿真测试	
282	
7.5.3 调整跟踪策略获取良好的跟踪性能	
283	
7.5.4 完整的DQPSK解调系统设计	
285	
7.5.5 DQPSK解调系统的仿真测试	
289	
7.6 $\pi/4$ QPSK调制解调原理	
289	

7.6.1 /4 QPSK信号的调制原理	289
7.6.2 匹配滤波器与成形滤波器	291
7.6.3 /4 QPSK信号的差分解调原理	297
7.6.4 /4 QPSK调制解调的MATLAB仿真	297
7.7 /4 QPSK调制解调的FPGA实现	301
7.7.1 基带编码的Verilog HDL设计	301
7.7.2 差分解调的Verilog HDL设计	305
7.7.3 FPGA实现后的仿真测试	311
7.8 小结	312
参考文献	312
第8章 QAM调制解调技术的FPGA实现	315
8.1 QAM信号的调制解调原理	316
8.1.1 QAM调制解调系统组成	316
8.1.2 差分编码与星座映射	317
8.1.3 QAM调制解调的MATLAB仿真	319
8.2 QAM编/解码的FPGA实现	323
8.2.1 编码映射的Verilog HDL设计	323
8.2.2 解码模块的Verilog HDL设计	326
8.2.3 FPGA实现后的仿真测试	328
8.3 QAM载波同步的FPGA实现	328
8.3.1 QAM载波同步原理	329
8.3.2 极性判决法载波同步的FPGA实现	332
8.3.3 DD算法载波同步的FPGA实现	336
8.4 插值算法位同步技术原理	344
8.4.1 位同步技术分类及组成	

344	
8.4.2	内插滤波器原理及结构
346	
8.4.3	Gardner误差检测算法
348	
8.4.4	环路滤波器与数控振荡器
349	
8.5	插值算法位同步技术的MATLAB仿真
350	
8.5.1	设计环路滤波器系数
351	
8.5.2	分析位定时算法MATLAB仿真程序
351	
8.5.3	完整的QAM位定时算法仿真
356	
8.6	插值算法位同步技术的FPGA实现
358	
8.6.1	顶层模块的Verilog HDL设计
358	
8.6.2	插值滤波模块的Verilog HDL设计
361	
8.6.3	误差检测及环路滤波器模块的Verilog HDL设计
363	
8.6.4	数控振荡器模块的Verilog HDL设计
366	
8.6.5	FPGA实现后的仿真测试
367	
8.7	小结
371	
	参考文献
372	
第9章	扩频调制解调技术的FPGA实现
375	
9.1	扩频通信的基本原理
376	
9.1.1	扩频通信的概念
376	
9.1.2	扩频通信的种类
377	
9.1.3	直扩系统工作原理
380	
9.2	直扩调制信号MATLAB仿真
381	
9.2.1	伪码序列的产生原理
381	
9.2.2	MATLAB仿真直扩调制信号
382	
9.3	直扩信号调制的FPGA实现
386	

9.3.1 伪码模块的Verilog HDL设计	386
9.3.2 扩频调制模块的Verilog HDL设计	388
9.4 伪码同步的一般原理	391
9.4.1 滑动相关捕获原理	392
9.4.2 延迟锁相环跟踪原理	393
9.5 伪码同步算法设计及仿真	394
9.5.1 同步算法设计	394
9.5.2 捕获及跟踪门限的MATLAB仿真	396
9.6 伪码同步的FPGA实现	398
9.6.1 顶层模块的Verilog HDL设计	398
9.6.2 伪码产生模块的Verilog HDL设计	401
9.6.3 相关积分模块的Verilog HDL设计	404
9.6.4 伪码相位调整模块的Verilog HDL设计	405
9.6.5 FPGA实现后的仿真测试	407
9.7 直扩解调系统的FPGA实现	409
9.7.1 Costas载波环的Verilog HDL设计	409
9.7.2 FPGA实现后的仿真测试	415
9.8 小结	416
参考文献	417

《数字调制解调技术的MATLAB与FP》

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:www.tushu000.com