

# 《Xilinx PlanAhead应用详解》

## 图书基本信息

书名：《Xilinx PlanAhead应用详解》

13位ISBN编号：9787121230887

出版时间：2014-5

作者：刘东华

页数：404

版权说明：本站所提供下载的PDF图书仅提供预览和简介以及在线试读，请支持正版图书。

更多资源请访问：[www.tushu000.com](http://www.tushu000.com)

# 《Xilinx PlanAhead应用详健

## 内容概要

PlanAhead工具软件是Xilinx FPGA开发应用的主要软件工具，是用于硬件描述代码完成后进行综合、实现、优化和引脚布局、资源统计等的集成软件工具。本书以V12.2版本的PlanAhead工具软件为基础，详细介绍其功能、特点和使用方法，并通过实例说明PlanAhead工具软件在实现FPGA工程设计管理、RTL设计、网表综合和实现、I/O规划、芯片布局、调试验证、资源和性能分析等FPGA设计过程的应用，使读者能够全面了解和掌握PlanAhead工具软件的使用，并能够据此设计出资源使用合理、综合频率较高的实用化设计方案。

## 书籍目录

### 第1章 概述

1

#### 1.1 PlanAhead简介

2

##### 1.1.1 PlanAhead工具软件的功能特点

2

##### 1.1.2 PlanAhead工具软件的启动

3

##### 1.1.3 PlanAhead设计流程

7

##### 1.1.4 使用模式

10

#### 1.2 ISE与PlanAhead的交互

11

##### 1.2.1 工具软件集成

11

##### 1.2.2 在ISE中启动PlanAhead工具软件

12

#### 1.3 PlanAhead术语

18

### 第2章 PlanAhead集成开发环境

21

#### 2.1 主菜单

22

##### 2.1.1 File菜单

23

##### 2.1.2 Edit菜单

27

##### 2.1.3 View菜单

30

##### 2.1.4 Flow菜单

31

##### 2.1.5 Tool菜单

34

##### 2.1.6 Windows菜单

48

##### 2.1.7 Select菜单

56

##### 2.1.8 Layout菜单

57

##### 2.1.9 Help菜单

57

#### 2.2 主工具条

58

#### 2.3 设计流导航工具

58

##### 2.3.1 基于RTL源的设计流导航

59	
2.3.2	基于综合网表工程的设计流导航
60	
2.3.3	从设计流导航启动命令
61	
2.3.4	设计流导航工具的使用
62	
2.4	主视图区域
66	
2.5	状态栏
68	
2.6	消息视图和Tcl控制台
69	
2.6.1	消息视图
69	
2.6.2	Tcl控制台
70	
2.7	信息栏
71	
第3章	常用视图及操作
73	
3.1	视图操作
74	
3.1.1	打开视图
74	
3.1.2	视图导航
74	
3.1.3	移动视图
75	
3.2	图形化视图
75	
3.3	树形列表视图
79	
3.4	视图对象操作
81	
3.5	常用视图
86	
3.5.1	源视图
86	
3.5.2	芯片视图
89	
3.5.3	封装视图
94	
3.5.4	原理图视图
96	
3.5.5	属性视图
100	
3.5.6	网表视图
103	

3.5.7 层次视图	105
3.5.8 I/O端口视图	106
3.5.9 封装引脚视图	108
3.5.10 设计运行视图	109
3.6 文本编辑器	111
第4章 PlanAhead工程设计	115
4.1 创建新工程	116
4.1.1 新建工程向导	116
4.1.2 基于RTL源文件创建工程	117
4.1.3 基于综合网表创建工程	123
4.1.4 创建I/O引脚规划工程	124
4.1.5 导入ISE布局布线结果	125
4.2 工程管理	126
4.2.1 RTL源文件管理	126
4.2.2 约束管理	129
4.2.3 IP核管理	132
4.3 工程概要信息	136
4.4 配置工程设置	140
4.5 输入和输出文件	143
4.5.1 输入文件	143
4.5.2 输出文件	148
第5章 RTL设计	167
5.1 设计源文件管理	168
5.2 编辑RTL源文件	168
5.3 细化和分析RTL设计	

168
5.3.1 细化RTL设计
169
5.3.2 资源估计
170
5.4 功耗估计
175
5.5 RTL设计规则检查 ( DRC )
177
第6章 综合设计
181
6.1 设计综合
182
6.1.1 综合的方法
182
6.1.2 运行综合
183
6.1.3 监视综合运行
186
6.1.4 选择综合后的操作
187
6.1.5 分析综合结果
187
6.1.6 启动多个运行
188
6.1.7 管理多个运行
190
6.2 网表分析
194
6.2.1 网表设计环境
194
6.2.2 查看和报告资源统计
195
6.2.3 逻辑分析
197
6.2.4 插入ChipScope调试IP核
199
6.3 约束定义
200
6.3.1 定义时序约束
200
6.3.2 运行时序分析
203
6.3.3 延时直方图
211
6.4 网表和约束DRC
215
第7章 I/O引脚规划
219

7.1 I/O规划概述	220
7.2 芯片资源查看	224
7.3 定义兼容芯片和设置芯片配置模式	227
7.4 定义和配置I/O端口	228
7.5 指定I/O端口	234
7.6 检查I/O和时钟逻辑指定	240
7.7 其他I/O操作	246
7.8 引脚规划实例	247
第8章 实现设计	269
8.1 实现设计	270
8.1.1 运行设计	270
8.1.2 监视运行状态	280
8.1.3 判断工程状态	281
8.1.4 选择实现后的操作	282
8.1.5 分析运行结果	282
8.1.6 启动多个运行	284
8.1.7 管理多个运行	286
8.2 分析实现结果	291
8.2.1 打开实现的设计	291
8.2.2 导入ISE结果	292
8.2.3 分析布局和时序结果	294
8.2.4 分析逻辑连接	296
8.2.5 高亮显示和标记对象	298
8.2.6 锁定布局	300
8.2.7 显示设计度量	

301	
8.2.8	启动XPower分析器
303	
8.2.9	交叉探测时序路径
304	
第9章 布局设计	
305	
9.1	Pblock
306	
9.2	Pblock的配置
318	
9.3	布局LOC约束的使用
326	
9.4	与ISE的接口
334	
第10章 编程和调试设计	
337	
10.1	生成比特流
338	
10.1.1	BitGen
338	
10.1.2	在PlanAhead中使用BitGen
340	
10.2	用ChipScope调试设计
342	
10.3	启动ChipScope Pro分析仪
352	
10.4	启动iMPACT
353	
第11章 分层设计技术	
355	
11.1	PlanAhead和ISE的功能理解
356	
11.2	使用PlanAhead进行设计保留
356	
11.3	分层设计实例
361	
第12章 Tcl脚本和命令	
377	
12.1	PlanAhead工具软件的Tcl功能
378	
12.2	启动PlanAhead软件
379	
12.3	常用的Tcl语法
379	
12.4	第一类Tcl对象和关系
381	
12.5	出错、警告和信息消息
384	



12.6 Tcl命令

384

参考文献

395

## 精彩短评

1、极差!完全是误人子弟!就是把这软件的各部分介绍了一下，根本就没有一个例子，从头到尾完整的例子都没有!太差了!

## 版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:[www.tushu000.com](http://www.tushu000.com)