

《基于Verilog HDL与Caden》

图书基本信息

书名：《基于Verilog HDL与Cadence的数字系统设计技术》

13位ISBN编号：9787302314707

10位ISBN编号：7302314705

出版时间：2013-5

出版社：解本巨 清华大学出版社 (2013-05出版)

作者：解本巨

页数：263

版权说明：本站所提供下载的PDF图书仅提供预览和简介以及在线试读，请支持正版图书。

更多资源请访问：www.tushu000.com

《基于Verilog HDL与Caden》

内容概要

解本巨编写的这本《基于VerilogHDL与Cadence的数字系统设计技术》是以EDA技术设计为出发点，专门针对各大高校信息、自动化、计算机专业在校学生和在公司中初始学习硬件技术的开发人员而编写的数字系统制版技术材料，主要目的是使读者克服学习硬件开发技术的困难，使学习硬件技术像学习软件技术一样简单。本书的技术开发以逻辑代数的运算、定理和化简方法为理论指导，研究原理图设计方法，引入FPGA的开发软件Quartus 9.1，在其中利用VerilogHDL设计实现电路常用芯片的开发，可以在不必了解芯片内部工作原理的基础上，通过程序设计者的硬件行为描述获得芯片及引脚的相关信息。本书选择CadenceSPB16.3作为设计数字系统原理图和电路板的软件，用同一个数字系统实例说明设计原理图和制作电路板的连续过程：原理图 网络表 焊盘、封装、制版 导入网络表 布局 覆铜 布线 后处理 送厂家制版。

《基于VerilogHDL与Cadence的数字系统设计技术》可以作为嵌入式数字系统开发的基础技术设计指导书，是硬件制版技术快速入门的绝佳教材，为更多的硬件技术设计爱好者提供了广阔的空间。

书籍目录

第1章数字系统设计基础 1.1逻辑代数 1.1.1逻辑运算 1.1.2逻辑定理与化简 1.1.3卡诺图化简 1.2组合逻辑电路设计 1.2.1组合逻辑电路设计方法 1.2.2 3线—8线译码器设计 1.2.3 8路数据选择器设计 1.2.4七段显示译码器设计 1.3时序逻辑电路设计 1.3.1时序电路的描述方法 1.3.2触发器 1.3.3 同步时序逻辑电路设计方法 1.3.4异步时序逻辑电路设计方法 1.3.5十进制加法计数器设计 1.3.6寄存器设计 1.4基于Nios 的FPGA技术 1.4.1 FPGA简介和工作原理 1.4.2 Nios 软核处理器 第2章硬件描述语言Verilog HDL与集成开发环境 2.1 Verilog语言简介 2.2 Verilog HDL语法规则 2.2.1标识符 2.2.2命令语句格式 2.2.3数字值集合 2.2.4变量与数据类型 2.2.5运算符与表达式 2.2.6结构语句 2.3 Verilog HDL建模 2.3.1模块结构 2.3.2时延 2.3.3 3种建模方式 2.3.4模块调用 2.4编辑环境Quartus 9.1与应用 2.4.1 Quartus 9.1安装与编辑环境介绍 2.4.2原理图绘制 2.4.3使用Verilog语言实现电路设计 2.5 Quartus 9.1实现电路输出仿真 第3章数字系统常用元件及实现 3.1常用分立元件及电路 3.1.1常用分立元件 3.1.2 电源电路的实现与设计 3.1.3脉冲时序发生电路设计 3.2组合元件的Verilog设计 3.2.1数据通路的设计 3.2.2运算电路的设计 3.3时序元件的Verilog设计 3.3.1触发器的设计 3.3.2计数器的设计 3.3.3寄存器的设计 第4章基于Cadence PCB的数字系统原理图设计 4.1 Cadence SPB 16.3安装与简介 4.1.1 Cadence SPB 16.3破解安装步骤 4.1.2 Cadence SPB 16.3简介 4.2创建平面元件 4.3原理图设计 4.3.1绘制原理图 4.3.2原理图后续处理 第5章PCB电路板制作 5.1 Allegro工作环境配置 5.1.1整体绘图参数设置 5.1.2颜色的设置 5.1.3格点参数设置 5.1.4子集（层）选项设置 5.1.5盲孔和埋孔的设置 5.1.6自动保存功能设置 5.2焊盘与PCB封装的建立 5.2.1创建焊盘 5.2.2创建元件封装符号 5.2.3 100进制可逆计数器电路焊盘的设计 5.2.4 100进制可逆计数器电路封装设计 5.3电路板建立与设计规则的设置 5.3.1使用电路板向导建立电路板 5.3.2手动建立电路板 5.3.3导入网络表 5.4布局 5.4.1电路板的规划 5.4.2元件的手工摆放 5.4.3元件的快速摆放 5.4.4生成报告文件 5.4.5手工布局100进制可逆计数电路板 5.4.6自动布局 5.5覆铜 5.5.1基本概念 5.5.2为平面层建立覆铜区域 5.5.3平面层分割 5.5.4覆铜的编辑操作 5.6 布线 5.6.1布线的原则 5.6.2手动布线 5.6.3 自动布线 5.6.4扇出布线 5.6.5布线优化 第6章 电路板加工前的处理工作 6.1 PCB后续处理 6.1.1 自动测试点的添加与修改 6.1.2重命名元件序号 6.1.3调整文字面 6.2电路板加工前的准备工作 6.2.1设计的可装配性检查 6.2.2建立丝印层 6.2.3生成报告文件 6.2.4建立和查看底片文件 6.2.5向厂商提供文件 附录A Cadence元件库介绍 附录B DRC检测常见错误 附录C 74系列数字集成电路型号功能表 附录D CMOS系列数字集成电路型号功能表 参考文献

章节摘录

版权页：插图：（2）单击Delete单选按钮，选中Name下拉列表框中的DECODER选项，根据提示将DECODER选项删除。然后单击Create单选按钮，在Name下拉列表框中输入“DECODER”，在命令窗口中输入两条命令“x 3450 100”和“x 3950 4500”，重新创建该Room区。（3）单击Delete单选按钮，选中Name下拉列表框中的COUNTER选项，根据提示将COUNTER选项删除。然后单击Create单选按钮，在Name下拉列表框中输入“COUNTER”，在命令窗口中输入两条命令“x 1950 100”和“x 3450 4500”，重新创建该Room区。（4）单击Delete单选按钮，选中Name下拉列表框中的TRIGGER选项，根据提示将TRIGGER选项删除。然后单击Create单选按钮，在Name下拉列表框中输入“TRIGGER”，在命令窗口中输入两条命令“x 450 100”和“x 1950 4500”，重新创建该Room区。Room区重新布局完成。

5.4.2元件的手工摆放在摆放元件的过程中要考虑很多因素，包括PCB的尺寸大小、特殊元件的位置等。元件的摆放可以分为手工摆放和快速摆放两种，在摆放结束后还要进行严格的检查。这里介绍如何用手工对元件进行摆放。

1.按照元件序号摆放

1) 设置放置元件时自动隐藏窗口 执行菜单命令Place Manually，在弹出的Placement对话框中选择Advanced Settings选项卡，选中List construction选项区域的Library复选框，表示可以使用外部元件库；选择AutoHide复选框，使摆放时Placement对话框能够自动隐藏。

2) 选择元件 打开Placement List选项卡，在左侧的下拉列表框中选择Components by refdes选项，打开下拉列表，100进制可逆计数器所有元件显示在下面的列表框中，拖动滚动条，找到要摆放的元件，选中其前面的复选框，表示选中该元件。例如选中IC10，则元件会出现在右下角的Quick view区域中，拖动鼠标，会发现该元件附在鼠标指针上，单击，放置该元件到合适的位置上。放置完成的元件在Placement窗口中的元件前显示了一个字母P标识。具体配置如图5—82所示。另外，在图5—82中选择左侧下拉列表框中的Components List选项，表示允许选中一个或多个元件序号；选中Package Symbols选项表示允许摆放封装符号（不包含逻辑信息，即网络表中不存在的）；选中Mechanical Symbols选项表示允许摆放机械符号；选中Format Symbols选项表示允许摆放格式符号。在图5—82中右侧的Selection filters区域，Match表示选择与输入名字匹配元件，可以使用通配符“*”选择一组元件，例如输入“U*”，按Tab键，会在左侧窗口中显示所有以U开头的元件名称；Property表示按照元件的属性摆放元件；Room表示按照Room摆放元件；Part#表示按照元件摆放元件；Net表示按照网络摆放元件；Place by refdes表示按照元件序号摆放元件。

《基于Verilog HDL与Caden》

编辑推荐

《基于Verilog HDL与Cadence的数字系统设计技术》可以作为嵌入式数字系统开发的基础技术设计指导书，是硬件制版技术快速入门的绝佳教材，为更多的硬件技术设计爱好者提供了广阔的空间。

《基于Verilog HDL与Caden》

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:www.tushu000.com