

《微型计算机原理及应用》

图书基本信息

书名：《微型计算机原理及应用》

13位ISBN编号：9787564710514

10位ISBN编号：7564710519

出版社：张开洪、胡久永、姜建山、刘潮涛 电子科技大学出版社 (2012-12出版)

版权说明：本站所提供下载的PDF图书仅提供预览和简介以及在线试读，请支持正版图书。

更多资源请访问：www.tushu000.com

书籍目录

第1章 微型计算机系统导论 1.1 引言 1.2 计算机的发展概况 1.3 微型计算机系统的组成 1.3.1 硬件 1.3.2 软件 1.4 微型计算机硬件系统 1.4.1 微型计算机系统的组成 1.4.2 微处理器 1.4.3 存储器 1.4.4 I/O接口与输入/输出设备 1.5 微型计算机的工作过程 习题 第2章 计算机中的数制和编码 2.1 无符号数的表示及运算 2.1.1 无符号数的表示方法 2.1.2 各种数制的相互转换 2.2 带符号数的表示及运算 2.2.1 机器数与真值 2.2.2 机器数的表示方法 2.2.3 真值与机器数之间的转换 2.2.4 补码的加减运算 2.2.5 溢出及其判断方法 2.3 信息的编码 2.3.1 二进制编码的十进制数(BCD编码) 2.3.2 ASCII字符编码 2.4 数的定点与浮点表示法 2.4.1 定点表示 2.4.2 浮点表示 习题 第3章 80×86微处理器 3.1 80×86微处理器简介 3.2 8086/8088微处理器 3.2.1 8086/8088内部结构 3.2.2 8086/8088寄存器结构 3.2.3 总线周期的概念 3.2.4 8086/8088引脚及其功能 3.3 8086/8088存储器和I/O组织 3.3.1 8086/8088存储器组织 3.3.2 8086/8088的I/O组织 3.4 从80286到Pentium系列的技术发展 3.4.1 80×86寄存器组 3.4.2 80×86存储器管理 3.4.3 80286微处理器 3.4.4 80386微处理器 3.4.5 80486微处理器 3.4.6 Pentium微处理器 习题 第4章 80×86指令系统 4.1 8086/8088指令系统的寻址方式 4.1.1 8086/8088操作数的种类 4.1.2 8086/8088指令操作数的寻址方式 4.2 8086/8088通用指令 4.2.1 数据传送指令 4.2.2 算术运算指令 4.2.3 位操作指令 4.2.4 串操作指令 4.2.5 控制转移指令 4.2.6 处理器控制指令 4.3 80×86/Pentium指令系统 4.3.1 80×86寻址方式 4.3.2 80286增强与增加的指令 4.3.3 80386/80486增强与增加的指令 4.3.4 Pentium系列处理器增加的指令 习题 第5章 汇编语言程序设计 5.1 汇编语言的基本概念 5.2 汇编语言源程序的格式 5.2.1 程序的分段结构 5.2.2 汇编语言语句的类型和格式 5.3 伪指令语句 5.3.1 数据定义伪指令 5.3.2 符号定义伪指令 5.3.3 段定义伪指令 5.3.4 段的简化定义 5.3.5 过程定义伪指令 5.3.6 模块定义与连接伪指令 5.3.7 处理器选择伪指令 5.4 宏指令语句 5.4.1 常用的宏处理伪指令 5.4.2 宏指令与子程序的区别 5.5 系统功能调用 5.5.1 汇编语言和DOS操作系统的接口 5.5.2 常用系统功能调用和BIOS中断调用 5.6 汇编语言程序设计的基本方法 5.6.1 顺序程序设计 5.6.2 分支程序设计 5.6.3 循环程序设计 5.6.4 子程序设计 习题 第6章 半导体存储器 6.1 概述 6.1.1 存储器的分类 6.1.2 半导体存储器的分类 6.1.3 半导体存储器的主要技术指标 6.1.4 半导体存储器芯片的基本结构 6.2 随机读写存储器(RAM) 6.2.1 静态RAM 6.2.2 动态RAM 6.3 只读存储器(ROM) 6.3.1 掩膜式只读存储器(MROM) 6.3.2 可编程只读存储器(PROM) 6.3.3 可擦除、可再编程的只读存储器 6.4 存储器的扩展 6.4.1 位扩展 6.4.2 字扩展 6.4.3 字位扩展 6.5 几种新型存储器简介 习题 第7章 输入/输出与中断 7.1 I/O接口概述 7.1.1 I/O接口的作用 7.1.2 CPU与外设交换的信息 7.1.3 I/O接口的基本结构 7.1.4 I/O端口的编址 7.2 CPU与外设之间数据传送的方式 7.2.1 程序传送方式 7.2.2 中断传送方式 7.2.3 直接存储器存取(DMA)传送方式 7.3 中断技术 7.3.1 中断的基本概念 7.3.2 中断优先级和中断的嵌套 7.4 8086/8088中断系统 7.4.1 8086/8088的中断源类型 7.4.2 中断向量表 7.4.3 8086/8088的中断处理过程 7.4.4 中断服务程序的设计 7.5 可编程中断控制器Intel8259A 7.5.1 8259A的功能 7.5.2 8259A的内部结构及外部引脚 7.5.3 8259A的工作方式 7.5.4 8259A的编程 习题 第8章 可编程接口芯片及应用 8.1 可编程定时器/计数器芯片8253/8254 8.1.1 8253的结构与功能 8.1.2 8253的编程 8.1.3 8253的工作方式 8.1.4 8254与8253的区别 8.1.5 8253应用举例 8.2 可编程并行接口芯片8255A 8.2.1 8255A的引脚与结构 8.2.2 8255A的工作方式与控制字 8.2.3 各种工作方式的功能 8.2.4 8255A的应用举例 8.3 串行通信及可编程串行接口芯片8250 8.3.1 串行通信的基本概念 8.3.2 可编程异步串行接口芯片INS8250 8.3.3 INS8250编程序 8.4 模/数(A/D)与数/模(D/A)转换技术 8.4.1 D/A转换接口 8.4.2 A/D转换接口 习题 参考文献

章节摘录

版权页：插图：对由这样的基本存储电路组成的存储矩阵进行读操作时，若某一行选择线为高电平，则位于同一行的所有基本存储电路中的T管都导通，于是刷新放大器读取对应电容C上的电压值，但只有列选择信号有效的基本存储电路才受到驱动，从而可以输出信息。刷新放大器的灵敏度很高，放大倍数很大，并且能将读得的电容上的电压值转换为逻辑“0”或者逻辑“1”。在读出过程中，选中行上所有基本存储电路中的电容都受到了影响，为了在读出信息之后，仍能保持原有的信息，刷新放大器在读取这些电容上的电压值之后又立即进行重写。在写操作时，行选择信号使T管处于导通状态，如果列选择信号也为“1”，则此基本存储电路被选中，于是由数据输入/输出线送来的信息通过刷新放大器和T管送到电容C。另外还有一种4管动态RAM基本存储电路，用的管子多，芯片的集成度较低，但其外围电路比较简单，读出过程就是刷新过程，不用为刷新另加外部逻辑电路。上述单管动态RAM将结构简化到了最低程度，因而集成度高，但要求的读写外围电路较复杂一些，适用于大容量存储器。

(2) 动态RAM的刷新 动态RAM是利用电容C上充积的电荷来存储信息的。当电容C有电荷时，为逻辑“1”，没有电荷时，为逻辑“0”。但由于任何电容都存在漏电，因此，当电容C存有电荷时，过一段时间由于电容的放电过程导致电荷流失，信息也就丢失。因此，需要周期性地对电容进行充电，以补充泄漏的电荷，通常把这种补充电荷的过程叫刷新或再生。随着器件工作温度的增高，放电速度会变快，刷新时间间隔一般要求在1~100ms，工作温度为70℃时，典型的刷新时间间隔为2ms，因此2ms内必须对存储的信息刷新一遍。尽管对各个基本存储电路在读出或写入时都进行了刷新，但对存储器中各单元的访问具有随机性，无法保证一个存储器中的每一个存储单元都能在2ms内进行一次刷新，所以需要系统地对存储器进行定时刷新。对整个存储器系统来说，各存储器芯片可以同时刷新。对每块DRAM芯片来说，则是按行刷新，每次刷新一行，所需时间为一个刷新周期。如果某存储器有若干块DRAM芯片，其中容量最大的一种芯片的行数为128，则在2ms之中至少应安排128个刷新周期。在存储器刷新周期中，将一个刷新地址计数器提供的行地址发送给存储器，然后执行一次读操作，便可完成对选中行的各基本存储电路的刷新。每刷新一行，计数器加1，所以它可以顺序提供所有的行地址。因为每一行中各个基本存储电路的刷新是同时进行的，故不需要列地址，此时芯片内各基本存储电路的数据线为高阻状态，与外部数据总线完全隔离，所以，尽管刷新进行的是读操作，但读出数据不会送到数据总线上。

2. Intel 2164A 动态RAM芯片 Intel 2164A芯片的存储容量为64Kx1位，采用单管动态基本存储电路，每个单元只有一位数据，其内部结构如图6.9所示。2164A芯片的存储体本应构成一个256×256的存储矩阵，为提高工作速度（需减少行列线上的分布电容），将存储矩阵分为四个128×128矩阵，每个128×128矩阵配有128个读出放大器，各有一套I/O控制（读/写控制）电路。

《微型计算机原理及应用》

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问:www.tushu000.com