

图书基本信息

书名：《CMOS集成电路设计手册-第3版·数字电路篇》

13位ISBN编号：978711533773X

出版时间：2014-2

作者：[美] R. Jacob Baker

页数：280

译者：朱万经,张徐亮,张雅丽

版权说明：本站所提供下载的PDF图书仅提供预览和简介以及在线试读，请支持正版图书。

更多资源请访问：www.tushu000.com

内容概要

《CMOS集成电路设计手册》讨论了CMOS电路设计的工艺、设计流程、EDA工具手段以及数字、模拟集成电路设计，并给出了一些相关设计实例，内容介绍由浅入深。该著作涵盖了从模型到器件，从电路到系统的全面内容，是一本权威、综合的CMOS电路设计的工具书及参考书。

《CMOS集成电路设计手册》英文原版书是作者近30年教学、科研经验的结晶，是CMOS集成电路设计领域的一本力作。《CMOS集成电路设计手册》已经过两次修订，目前为第3版，内容较第2版有了改进，补充了CMOS电路设计领域的一些新知识，使得本书较前一版内容更加详实。

为了方便读者有选择性地学习，此次将《CMOS集成电路设计手册》分成3册出版，分别为基础篇、数字电路篇和模拟电路篇。此册为数字电路篇，主要涵盖了数字电路设计以及高级数字电路设计的内容。《CMOS集成电路设计手册》作为一个单独的分册出版，有利于读者更集中地学习CMOS数字集成电路设计的相关内容，与本书的其他两册(基础篇与模拟电路篇)相辅相成，可以作为CMOS电路设计基础知识的延伸，不仅有组合逻辑电路、时序电路等基本数字集成电路知识，也涵盖了大规模集成电路、存储器电路、传感器电路、数字锁相环等高级数字集成电路设计的相关内容。无论从知识的深度、广度上都能满足CMOS数字设计工程师、相关科研人员以及学生学习这方面知识的需要。

作者简介

R. Jacob (Jake) Baker是一位工程师、教育家以及发明家。他有超过20年的工程经验并在集成电路设计领域拥有超过200项的专利（包括正在申请中的）。Jake也是多本电路设计图书的作者。

书籍目录

第1章 反相器	1
1.1 直流特性	1
1.2 开关特性	5
1.3 反相器的版图	10
1.4 驱动大容量负载的反相器尺寸	12
1.5 其他类型反相器	17
第2章 静态逻辑门	21
2.1 与非门及或非门的直流特性	21
2.1.1 与非门的直流特性	21
2.1.2 或非门的直流特性	24
2.2 或非门和与非门的版图设计	25
2.3 开关特性	26
2.3.1 与非门	28
2.3.2 输入的数目	31
2.4 复杂的CMOS逻辑门	32
第3章 钟控电路	43
3.1 CMOS传输门	43
3.2 传输门的应用	46
3.3 锁存器和触发器	48
3.4 实例	56
第4章 动态逻辑门	63
4.1 动态逻辑基础	63
4.1.1 电荷泄漏	63
4.1.2 动态电路仿真	66
4.1.3 不交迭时钟的产生	67
4.1.4 动态电路中的CMOS TG	68
4.2 钟控CMOS逻辑	69
第5章 VLSI版图设计实例	77
5.1 芯片版图	77
5.2 版图设计流程	87
第6章 存储器电路	97
6.1 阵列结构	98
6.1.1 存储单元存取基础	98
6.1.2 折叠阵列	105
6.1.3 芯片组织结构	110
6.2 外围电路	111
6.2.1 读出放大器设计	111
6.2.2 行列解码器	120
6.2.3 行驱动器	125
6.3 存储单元	126
6.3.1 SRAM单元	127
6.3.2 只读存储器	128
6.3.3 浮栅存储器	129
第7章 调制感测	147
7.1 定性讨论	147
7.1.1 调制实例	148
7.1.2 在闪存中采用调制进行感测	151

7.2	感测阻性存储器	161
7.3	感测CMOS成像器	168
第8章	专用CMOS电路	187
8.1	施密特触发器	187
8.1.1	施密特触发器的设计	188
8.1.2	施密特触发器的应用	190
8.2	多谐振荡器	192
8.2.1	单稳态多谐振荡器	193
8.2.2	非稳态多谐振荡器	194
8.3	输入缓冲器	195
8.3.1	基本电路	195
8.3.2	差分电路	198
8.3.3	直流参考源	202
8.3.4	降低缓冲器的输入阻抗	204
8.4	电荷泵(电压产生电路)	206
8.4.1	提高输出电压	208
8.4.2	产生更高的电压：迪克森电荷泵	208
8.4.3	实例	211
第9章	数字锁相环	215
9.1	鉴相器	216
9.1.1	异或鉴相器	216
9.1.2	鉴频鉴相器	221
9.2	压控振荡器	224
9.2.1	电流匮乏型压控振荡器	225
9.2.2	源耦合压控振荡器	229
9.3	环路滤波器	231
9.3.1	异或数字锁相环	231
9.3.2	鉴频鉴相器数字锁相环	238
9.4	系统考量	246
9.5	延迟锁定环路	256
9.6	实例	260
9.6.1	一个2GHz的延迟锁定环路	260
9.6.2	1Gbit/s的时钟恢复电路	266
附录		277

版权说明

本站所提供下载的PDF图书仅提供预览和简介，请支持正版图书。

更多资源请访问：www.tushu000.com